

# AC1 2010 Color-BWS mit CPLD - Hinweise zum Aufbau

Heiko Poppe, 09.11.2011

Ralph Hänsel 05.11.2011

Der Aufbau erfolgt nach dem Schaltplan vom **06.11.2011**, zu finden auf [www.ac1-info.de](http://www.ac1-info.de)

Die vorliegende Leiterplatte ist für drei verschiedene Bestückungsvarianten vorgesehen:

1. Monochrom-Variante für TFT (SVGA)- Monitor
2. Monochrom-Variante mit BAS-Ausgang
3. Color-Variante am TFT (SVGA)- Monitor

**Vorteil:** eine gemeinsame Leiterplatte, ein gemeinsamer CPLD-Code, späterer Umbau ist möglich. Für alle Varianten werden die außerhalb der grauen Rahmen liegenden Bauteile benötigt.

**Variante 1:** Hier sind nur die Einstellregler R41 bis R43 (Rahmen 1\*) zu bestücken.

**Variante 2:** Hier werden zusätzlich die Bauelemente in Rahmen 2\* benötigt.

**Variante 3:** Bei der Farbvariante dürfen die Einstellregler R41 bis R43 nicht bestückt werden!  
Dafür werden jetzt alle im Rahmen 3\* befindlichen Bauelemente benötigt.

**FarbRAM:** Der FarbRAM liegt parallel zum Text-RAM und belegt den Adressbereich (1000H..17FFH). Für jedes Byte (Zeichen) im Text-RAM steht genau 1 Byte als Farbinformation zur Verfügung. 3bit für die 3 Grundfarben + 1 bit INTENS erlauben 16 Farbstufen für Vordergrund (Zeichen) und Hintergrund. Die unteren 4 Bit gelten für das Zeichen und die oberen 4Bit für den Hintergrund.

**Takterzeugung im CPLD:** Soll die Takterzeugung im CPLD genutzt werden (Standard beim AC1 2010), ist JP6 zu schließen. Falls eine andere Taktquelle genutzt wird, muss JP6 offen bleiben, da sonst die Taktgeneratoren gegeneinander arbeiten.

**Zeichengenerator:** Der Zeichengenerator-IC darf max. 150ns Zugriffszeit haben, anderenfalls kann es zu Bildstörungen (Verwischungen) kommen. Bei Einsatz eines EPROM als ZG müssen bei JP4 1-2 gebrückt werden und JP5 offen sein. Die anderen Varianten sind für den Einsatz eines EEPROM als programmierbarer ZG vorgesehen. Getestet wurde dabei nur der ATMEL 28C64.

Im ZG sind die unteren 4k zu programmieren („normaler“ und alternativer Zeichensatz), die oberen 4k können nicht genutzt werden.

**Nur-Schreib-Modus des BWS:** Im Normalbetrieb (Schreiben und Lesen des BWS) muss bei JP2 2-3 gebrückt sein, da die CPU dem BWS direkt auslesen muss. Wird JP2 1-2 gebrückt, kann der BWS nur beschrieben, aber nicht gelesen werden. Das macht jedoch nur Sinn für die Nutzer der SW-Version, die ihren AC1 so umgebaut haben, das der „alte“ BWS nur beschrieben wurde.

**Umschaltung TFT-Mode:** Die Umschaltung TFT / BAS erfolgt durch entsprechende Brücken an JP3: Pin 16 H = TFT-Modus, L = BAS-Modus. Die Einzelheiten sind dem Schaltplan von Andreas Suske entnommen und auf der folgenden Seite zu finden.

**MEMDI-Mod1-Signal:** Beim SCCH-AC1 gibt es zusätzlich das Signal MEMDI-Mod 1, welches in den meisten Schaltplänen für SCCH-Modul 1 als „RAM-DISK“ bezeichnet wird und geht an den Adressdecoder DS8205 Eingang „E3“ (Pin6) führt.

**Achtung!!** Signal **MEMDI-Mod1 NICHT** mit Signal MEMDI vom SCCH Modul 1 verwechseln!

MEMDI-Mod1 schaltet den gesamten AC1 RAM/ROM beim Zugriff vom Modul 3 komplett ab und ist nur für SCCH-Modul 3 gedacht! Wer also das SCCH-Modul 3 nutzt bzw. nutzen möchte, muss die Verbindung dahin herstellen. Am Bus ist dazu ein freies Pin suchen und mit dem Lötpad an R2 zu verbinden.

**Beim AC1 2010 ohne SCCH-Modul3** kann R2 entfallen, R1 ist dann unbedingt zu bestücken. Erfolgt dies nicht, wird der BWS nicht von der CPU erkannt, da L-Pegel an diesem Pin den BWS deaktiviert.

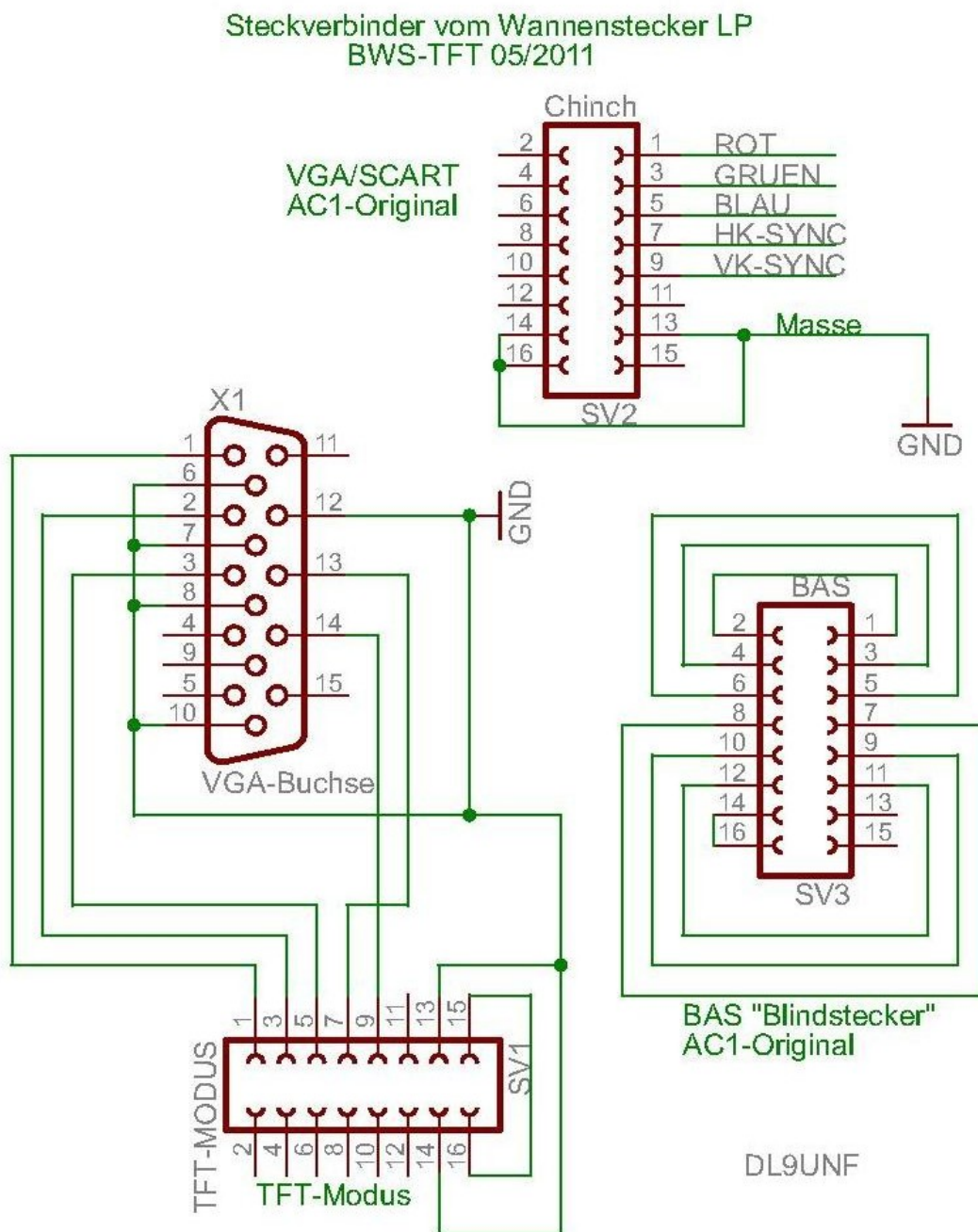
**Widerstände vom Datenbus auf +5V:** Diese Widerstände müssen unbedingt **1x im AC1** vorhanden sein, da sonst eine automatische Erkennung des BWS nicht funktioniert. Bei Bedarf können sie auf der BWS-Platine bestückt werden. Hier ist Platz für ein Widerstandsnetzwerk oder alternativ für normale Widerstände.

**Quarzoszillator:** Bei Verwendung der „kurzen“ Bauform (8/4) muss der Baustein in Richtung Außenkante der Leiterplatte positioniert werden. Im Bausatz ist jedoch die lange Bauform (DIL14) enthalten. Bei Einsatz einer IC-Fassung müssen die nicht benutzten Kontakte entfernt werden.

**CPLD:** Codeänderungen am CPLD kann jeder einfach via XILINX JTAG-Port (JP1) vornehmen/einspielen.

### Beschaltungsvarianten für den Signalausgang JP3

© Andreas Suske



## Aufbauanleitung / Erfahrungswerte vom Aufbau:

Die folgende Reihenfolge ist als Empfehlung anzusehen. Der 1. Aufbau dieser LP von Ralph genauso so erfolgreich abgeschlossen. Es steht jedem frei Schritte ggf. zu ändern.

1. vom SERVER die Files „ZG4K“ & „FARBMON2010“ herunterladen und jeweils in ein EPROM brennen, beim ZG (2764 oder 28C64) die unteren 4K verwenden,
2. einen 2. Monitor zum Testen besorgen, idealerweise ein TFT oder VGA, denn zum Testen empfehle ich den bisherigen BWS und Monitor am AC1 zu lassen und den 2. Monitor am CPLD-BWS parallel zu verwenden. Damit kann einfach getestet werden und am AC1 Fehler leicht erkannt werden.
3. Für den Anschluss des 2. Monitors an JP 3 habe ich ein altes GAMEPORT Kabel mit einer VGA-Buchse verschaltet. Dabei gilt zu beachten, das die Brücke zum Pin 16 (JP3) auf der BWS LP gemacht werden muss, weil das GAMPORT Kabel genau an dieser Stelle keine freie Ader hat. Zur Umschaltung zwischen TFT/BAS Mode hab ich einen Mikroschalter verwendet, der das Signal wahlweise an 0V bzw. +5V (TFT Modus) schaltet. Wer nur TFT nutzen möchte, kann auch gleich eine Brücke zu +5V legen.
4. Jetzt einen freien Slot am AC1 suchen, also alten den BWS gesteckt lassen !
5. die (schöne ☺) LP optisch auf Fehler prüfen und benötigte Bauteile zusammenstellen ☺,
6. Steckverbinder, IC-Fassungen sowie Widerstände R10..R17 einlöten, danach BWS in den freien Slot stecken und AC1 einschalten, er sollte sich (am alten Monitor) korrekt melden und auch verhalten !  
Wenn nicht, gilt es Lötfehler suchen, denn die LP lief bei mir auf Anhieb !! ist also in Ordnung !!
7. **ACHTUNG!** Der Bestückungsaufdruck für die Transistoren T1..T3 ist falsch, genau verkehrt herum ☹
8. restliche Bauteile einlöten aber keine IC bestücken und wiederum am AC1 testen. Er sollte sich wieder wie bisher verhalten.
9. **Jumper für 1. TEST setzen**, JP2 2-3, JP4 1-2, JP5 offen, JP6 OFFEN !!,
10. Alle Schaltkreise nun in die Fassungen setzen, dabei CPLD und RAM zuerst vorsichtig ausrichten und dann gleichmäßig aber mit einiger Kraft in die Sockel drücken, LP dabei plan auflegen !!
11. BWS in den freien Slot stecken und AC1 einschalten. Er sollte sich am alten Monitor wieder korrekt melden. Der CPLD-BWS sollte aber ein Bild mit Monitorauschrift zeigen. → und geht's ?... ☺  
Bei der Farbversion sind noch viele bunte Kästchen zu sehen, weil der FarbRAM ja noch nicht initialisiert wurde und deshalb zufällige Farben darstellt.
12. Ist alles OK, dann kann Jumper JP2 1-2 und JP6 geschlossen werden und der CPLD-BWS am regulären BWS Steckplatz gesteckt werden.  
Voraussetzung ist, das der möglicherweise gemachte BWS-RAM Umbau wieder zurückgebaut wurde. Der Rückbau ist NICHT nötig, wenn nur die SW-Version verwendet wird, dann ist aber JP2 auf 1-2 zu belassen.
13. Klappt auch der Test im regulären BWS Steckplatz, wird die CPU Platine gezogen und der MONITOR EPROM gegen den neu gebrannten „FARBMON2010“ ersetzt. Nach dem Einschalten des AC1 sollte nun auch der BWS korrekt gelöscht sein und die Schrift in Farbe (türkis auf schwarzem Grund) sein ☺
14. Ich empfehle dem BWS dann noch mit einem RAM-Test zu überprüfen.

Hinweis: Damit die Farboptionen in eigenen Programmen richtig genutzt werden können, müssen dort die Ausgaberroutinen ggf. um die Farbausgabe erweitert werden.

Alle „alten“ Programme sollten problemlos laufen, weil der FarbRAM nur beim INIT im Monitor beschrieben wird/werden sollte.

Viel Spaß und Freude mit dem Farb-BWS wünschen Euch, die Väter des CPLD-BWS ☺

Heiko Poppe und Ralph Hänsel

PS: Anregungen, Hinweise und Feedbacks bitte an [ralphhaensel@gmx.de](mailto:ralphhaensel@gmx.de)