



Systembus

VCC	B29	A29	VCC
X1(B)	B28	A28	X1(A)
	B27	A27	3MHz
	B26	A26	MI1
/IORQ	B25	A25	/WAIT
	B24	A24	
	B23	A23	
	B22	A22	
	B21	A21	
	B20	A20	/RESET
AB1	B19	A19	AB0
AB3	B18	A18	MO(16)
AB5	B17	A17	AB4
AB7	B16	A16	AB6
	B15	A15	
	B14	A14	
	B13	A13	
	B12	A12	
	B11	A11	
IE1	B10	A10	IE0
	B9	A9	
/RD	B8	A8	WR
DB0	B7	A7	DB1
DB2	B6	A6	DB3
DB4	B5	A5	DB5
DB6	B4	A4	DB7
X1(B)	B3	A3	X1(A)
GND	B2	A2	GND
GND	B1	A1	GND

Koppelbus

X2	B1	A1	X1
	B2	A2	X2
	B3	A3	X3
	B4	A4	X4
	B5	A5	X5
	B6	A6	X6
	B7	A7	X7
	B8	A8	X8
	B9	A9	X9
	B10	A10	X10
	B11	A11	X11
	B12	A12	X12
	B13	A13	X13
	B14	A14	X14
	B15	A15	X15
	B16	A16	X16
	B17	A17	X17
	B18	A18	X18
	B19	A19	X19
	B20	A20	X20
	B21	A21	X21
	B22	A22	X22
	B23	A23	X23
	B24	A24	X24
	B25	A25	X25
	B26	A26	X26
	B27	A27	X27
	B28	A28	X28
	B29	A29	X29
GND	B28	A28	GND
GND	B29	A29	GND

AC1-FDC ACC-Dessau
Schaltplan nach Platine neu erstellt

(c) 2012 acl-info